

デジタルフィルタのVHDLシミュレータによる 事前評価

FREQUENCY RESPONSE ANALYSIS OF DIGITAL FILTERS WITH A VHDL SIMULATOR

高田 浩生
Hiroki TAKADA

電子情報通信工学専攻
ADVANCED COURSE IN
ELECTRONICS, INFORMATION AND COMMUNICATION ENGINEERING

The purpose of this study is to achieve a complete simulation and analysis of frequency response of a digital filter solely by its VHDL source code. There is a variety of VHDL source code simulators and those make it possible to analyze logic and timing of the circuits. However, if a target is a digital filter, since the most significant characteristic is 'frequency response', those products are not sufficient in the evaluations. We utilized an open source VHDL simulator GHDL and executed it with the test vectors containing variable frequency patterns. Setting up a simulation environment, we have automated the iteration of GHDL and the generation of frequency response analysis. Evaluating two types of digital filters on our system, we confirmed the frequency response were reflected in the behavior description of the program.

Key Words : VHDL simulation, frequency response, digital filter

1. はじめに

本研究の目的は、FPGA での回路実装前に VHDL ソースコードによるデジタルフィルタの周波数特性を事前評価することである。一般に、HDL 論理シミュレータ製品は回路の論理とタイミングを分析することに主眼が置かれている。しかし、対象がデジタルフィルタの場合、周波数特性が重要となるため、そのようなシミュレーション機能だけでは十分とは言えない。本研究では、テストベクタに含まれる入力信号の周波数を変化させながらオープンソース VHDL シミュレータである GHDL を繰り返し実行することにより周波数特性の評価を試みた。加えて、GHDL の実行から周波数特性の出力までを自動化した。このシステム上で 1 次の IIR フィルタと、30 次の FIR フィルタを評価した結果、VHDL の動作記述を反映した周波数特性が得られることを確認した。

2. モデル回路

図-1 に解析の対象となる回路のモデルを示す。この回路の前段には ADC からデジタル信号を取得するインターフェース回路、後段には DAC へデジタル信号を出力するインターフェース回路が置かれる。ADC インターフェース回路は ADC から取得した信号

を、モデル回路のベクトル信号入力 (din) に出力し、サンプリングパルス信号 (smp_pulse) を '1' にする。モデル回路は処理結果をベクトル信号出力 (dout) に出力し、処理終了パルス信号 (end_pulse) を '1' にする。clk は主クロック信号である。

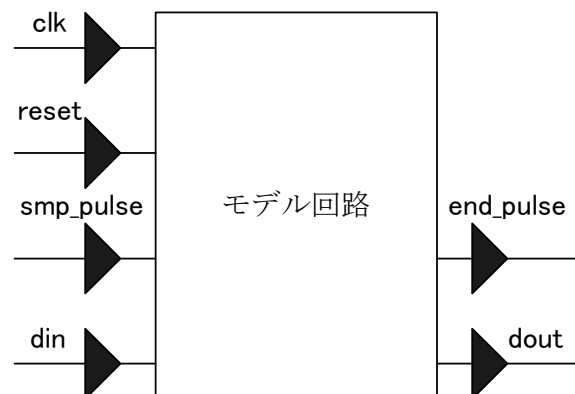


図-1 モデル回路

フルスケール電圧を V_f [V] とすると、直線量子化を行う ADC に $0 \sim V_f$ [V] のアナログ信号が入力された時、分解能が n ビットであれば、入力電圧に比例したデジタル符号 $0 \sim (2^n - 1)$ が出力される。ADC の前段に $\pm V_{ref}/2$ [V] の信号を $0 \sim V_f$ [V]、DAC の後段にその逆を行うレベルシフト回路が置かれた場合は、 $V_f/2$ [V] に対応する符号が元の信号の 0 [V]

となる。リセット (reset) は回路に含まれるディレイライン (z^{-1}) を初期化するためのトリガ信号である。モデル回路は、レベルシフト回路が置かれているという前提で、ディレイラインを $V_f/2$ [V] に対応する符号で初期化するものとする (テストベクタ上は $V_f/2$ [V] := $2^{n-1} - 1$ とした)

3. 原理

フルスケール電圧を V_f [V] とすると、正弦波信号 $V_f/2 \times (1 + \sin(\omega t))$ が含まれるテストベクタを用意し、論理シミュレータを実行する。次に、シミュレーション結果として出力された波形ファイルから、モデル回路の入出力サンプル値信号を抽出する。これを離散フーリエ変換 (DFT) することにより、周波数 ω に対する入出力信号の振幅比を計算することができる。

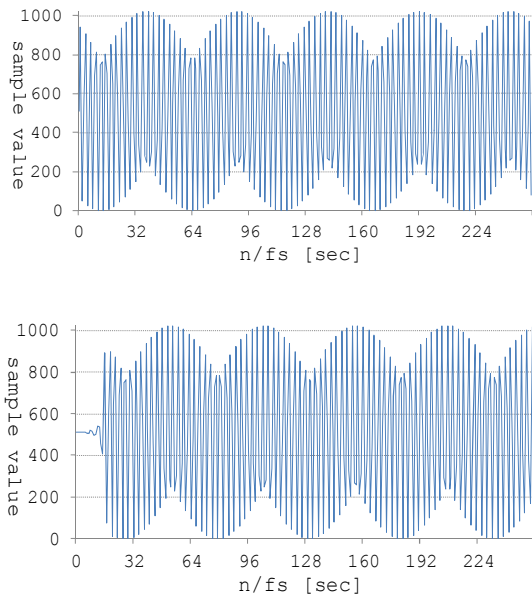


図-2 サンプル値信号

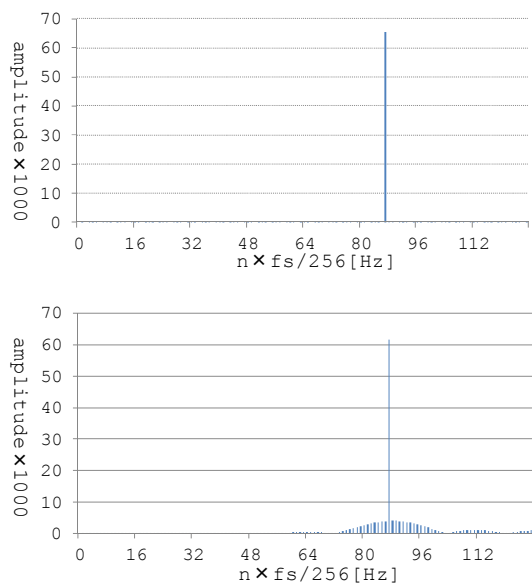


図-3 DFT 結果

図-2 にシミュレーション結果例を示す(上:入力, 下:出力). この例では、標本化周波数 $f_s = 44.1$ [kHz] で $87f_s/256$ [Hz] の信号を入力した。回路は 30 次の FIR フィルタ (HPF) で、分解能 10 ビット、遮断周波数は $f_s/4$ [Hz] である。図-3 は DFT 結果である(上:入力, 下:出力) サンプル数は 256 で、結果に直流成分は含めていない。

(1) 窓関数

出力信号には遅延があり、切り出した信号の先頭と末尾のサンプル値が一致しない。このためスペクトルにサイドローブが生じるので、ハミング窓を適用することによりその影響を軽減した。

(2) 安定性の評価

デジタルフィルタはシステムとして安定となるよう設計される。本研究の目的は、その設計が VHDL の動作記述に反映されているかを評価することであるので、与えられたソースコードが安定であることを前提とすることはできない。そこで、周波数特性の評価を行う前に、インパルス応答をシミュレーションし、あるサンプル数後に応答出力が $V_f/2$ [V] に収束するかどうかを確認した。インパルス応答は、リセット (reset) 信号送出後、振幅が $3V_f/4$ [V] のインパルスを与えることにより求める。

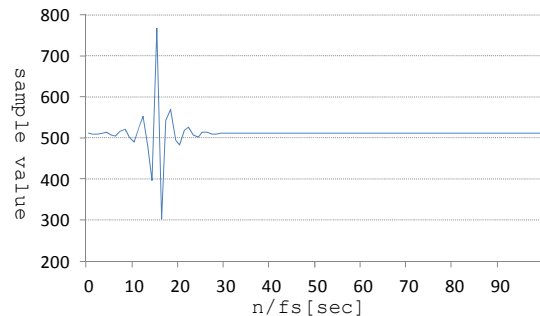


図-4 インパルス応答

図-4 に図-2, 3 と同じ回路のインパルス応答のシミュレーション結果を示す。30 次の FIR フィルタとして設計したので、インパルス応答は 31 サンプル続く。対象となるシステムが線形性と時不変性を持つ場合はインパルス応答から周波数特性を決定できるが、先に述べた理由によりそのような前提条件を設定することはできない。本研究では DFT の周波数分解能、 $f_s/N \times n$ ($n = 1 \sim N/2$) 個の周波数についてテストベクタを作成し、それぞれについて周波数応答をシミュレーションした。

(3) 直流成分に対する利得

直流成分に対する利得は、ステップ応答により求めた。ステップ応答は、リセット (reset) 信号送出後 $3V_f/4$ [V] のステップ信号を与えることによって求める。100 サンプル後の出力を V とすると、 $(V - V_f/2) / (V_f/4)$ を直流成分に対する利得とした。

4. システム構成

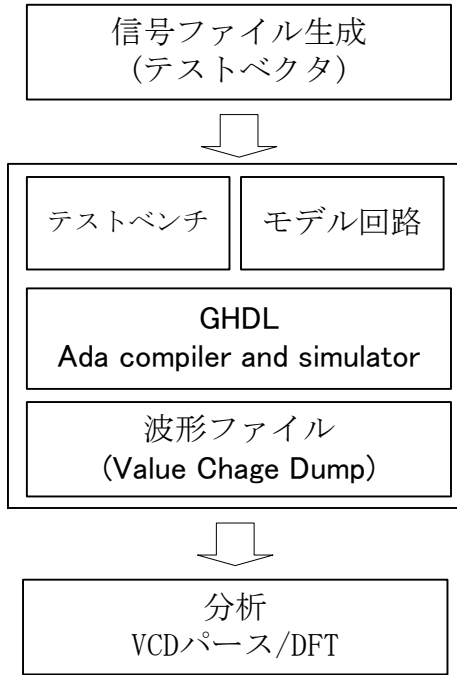


図-5 システム構成と手順

図-5 に本システムの構成とシミュレーション手順を示す。GHDL はオープンソースソフトウェアである。本研究ではシミュレーション設定に応じたテストベクタを生成するプログラムと、波形ファイル分析プログラムを開発し、GHDLと協調動作させることによって周波数特性の評価を行った。図-5 は一つの周波数に対する処理手順である。これをテストベクタ上の信号周波数を変化させながら繰り返し実行し、周波数特性を評価する。

(1) 信号ファイル生成

テストベクタファイルを生成する。

(2) GHDL

モデル回路とテストベンチのVHDLソースコードをコンパイルする。また、テストベクタファイルを読み込みシミュレーションを行う。結果は VCD フォーマットの波形ファイルとして出力される。

(2) 波形ファイル分析

出力された波形ファイルから、ベクトル信号入力 (din) とベクトル信号出力 (dout) を取り出し、DFT による分析を行う。

5. シミュレーション設定

シミュレーションにおいて指定するパラメータは表-1 の通りである。

表-1 シミュレーションパラメータ

パラメータ	許容範囲
主クロック周波数 (f)	1 ~ 100 [MHz]
標本化周波数 (f _s)	1 [Hz] ~ 10 [MHz]
ADC 分解能 (n)	1 ~ 16 [ビット]
シミュレーション範囲	0 ~ f _s /2 [Hz]
DFT 分解能 (N)	2 ~ 1024

6. 評価結果

最初に図-6 のブロック線図で示す IIR フィルタに対して評価を行った。この回路は LPF で、標本化周波数 f_s = 44.1 [kHz]、遮断周波数が 10 [kHz]である。回路は分解能 10 ビットで実装した。

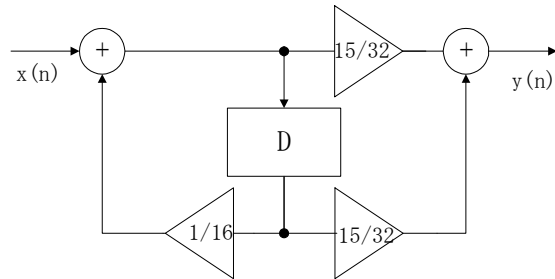


図-6 評価対象(1) (1次 IIR フィルタ)

VHDL ソースコードは、FPGA 上に回路として実装した上でスペクトルアナライザで特性を測定した。その結果、理論値との相対誤差が 0.30 [%] であった。次に、本システムによりシミュレーションを行った。結果を図-7 に示す。点線が理論値、実線がシミュレーション結果である。

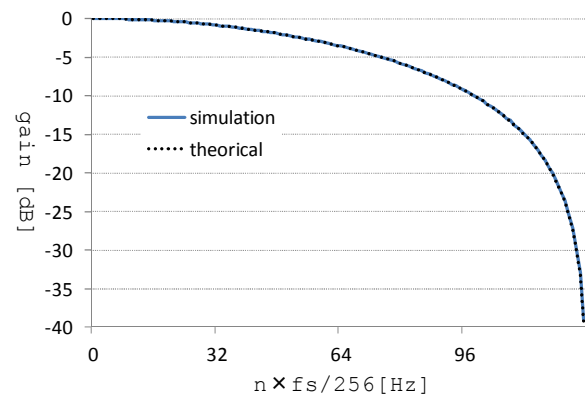


図-7 周波数特性評価結果 (1)

シミュレーション結果と理論値の相対誤差は 0.14 [%]であった。

図-8 に 30次 FIR フィルタの評価結果を示す。この回路は BPF で、標準化周波数 $f_s = 44.1$ [kHz]、低域、高域の遮断周波数がそれぞれ、 $0.15f_s$ 、 $0.25f_s$ [Hz]、分解能は 10 ビットである。理論値との相対誤差は 0.89 [%] であった。遮断域両端での誤差は、量子化誤差の影響であると考えられる。

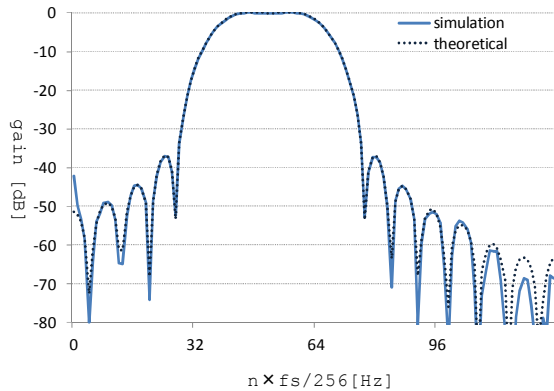


図-8 周波数特性評価結果 (2)

このフィルタについては、最初に作成した VHDL コードのシミュレーション結果において、図-9 の通り通過域で利得が低下する異常を確認した。

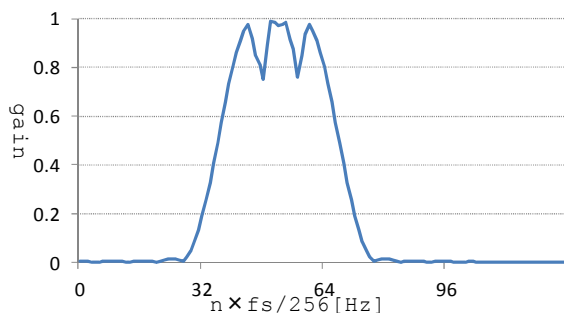


図-9 周波数特性の異常

問題のある周波数について、シミュレーション結果のベクトル信号出力 (dout) を確認したところ、図-10 の通り、あるタイミングで振幅値が 0 に落ちていることが分かった。

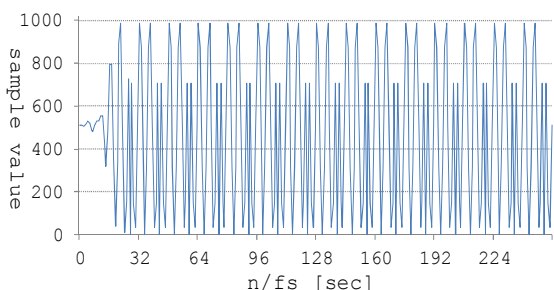


図-10 出力信号の異常

ソースコードを見直したところ、不具合の原因は積和演算における整数演算オーバーフローであった。

図-8 の周波数特性はこの不具合を修正した上での結果である。

このような誤りは、一般的な論理シミュレータでは発見することができない。またインパルス応答のシミュレーション評価のみでは見逃す可能性がある。

7. 結論

VHDL ソースコードによるの周波数特性評価は、デジタルフィルタの開発を支援するツールになり得ることが分かった。一方、現行プログラムでは、表-2 設定による 30次の FIR フィルタの評価に、Intel Celeron 2.0 GHz が搭載されたマシンで 4 分程度を要しており、実用に供するには改善が必要である。

表-2 30次 FIR フィルタ評価設定

パラメータ	許容範囲
主クロック周波数 (f)	4 [MHz]
標準化周波数 (f_s)	44.1 [kHz]
ADC 分解能 (n)	10 [ビット]
シミュレーション範囲	0 ~ 22 [kHz]
DFT 分解能 (N)	256

オペレーティングシステムのシステムモニタコマンドにより確認した結果、シミュレーション速度は CPU 性能に依存していた。処理速度を向上するための対策は二つ考えられる。一つは内部でオーバーサンプリングを行い、テストベクタのサイズを必要最小限に抑える方法である。もう一つは、CPU の強化と並列処理である。シミュレーションを並列化し、マルチコアマシンで処理を行うことにより速度が改善する可能性がある。

また現行のモデル回路が、実際の開発要求に適合したものであるかということについても検討が必要である。

今後は、処理速度とモデル回路の汎用性について、シミュレーション環境の改善を行っていくこととしたい。

謝辞: 本研究及び論文作成にあたり、ご指導をいただいた福永教授をはじめ、ご助言をいただいた本校の教員の方々、専攻科の皆様、福永研究室の皆様に、心より感謝の意を表すとともにお礼申し上げます。

参考文献

- 1) 高田 浩生 : VHDL によるデジタル信号処理教材の作成, 平成23年度中国・四国高等専門学校専攻科交流会論文集, pp. E59, 2011.